

| | |
|----------------------------|--|
| Requested document: | JP8331560 click here to view the pdf document |
|----------------------------|--|

DECODER AND MPEG VIDEO DECODER

Patent Number: **JP8331560**

Publication date: **1996-12-13**

Inventor(s): **OKADA SHIGEYUKI;; TANAHASHI NAKI;; NAKAJIMA ISATO**

Applicant(s): **SANYO ELECTRIC CO LTD**

Requested Patent: **JP8331560**

Application Number: **JP19950271372 19951019**

Priority Number(s):

IPC Classification: **H04N7/24; G11B20/10; H03M7/30; H04N5/92; H04N7/32**

EC Classification:

Equivalents: **JP3203168B2**

Abstract

PURPOSE: To provide the MPEG decoder in which performance of easy to see image is enhanced by reducing de-framing caused in a reproduced dynamic image even when a bit buffer overflows.

CONSTITUTION: When an occupied quantity B_m of a bit buffer 2 does not exceeds a 1st threshold level $BTH1$, a picture read from the bit buffer 2 is transferred to a decode core circuit 4 independently of a type. Furthermore, when the occupied quantity B_m is between the 1st threshold level $BTH1$ and a 2nd threshold level $BTH2$ and I or P picture is read from the bit buffer 2, the picture is transferred to the decode core circuit 4, and when a B picture is read, it is skipped. When the occupied quantity B_m exceeds the 2nd threshold level $BTH2$, the picture read from the bit buffer 2 is skipped independently of the type.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

① 公開特許公報 (A)

(11)特許出願公開番号

特開平8-331560

(43)公開日 平成8年(1996)12月13日

| (51)Int.Cl. ⁶ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|---------|--------------|---------|
| H 04 N 7/24 | | | H 04 N 7/13 | Z |
| G 11 B 20/10 | 3 0 1 | 7736-5D | G 11 B 20/10 | 3 0 1 Z |
| H 03 M 7/30 | | 9382-5K | H 03 M 7/30 | A |
| H 04 N 5/92 | | | H 04 N 5/92 | H |
| 7/32 | | | 7/137 | Z |

審査請求 未請求 請求項の数17 OL (全 17 頁)

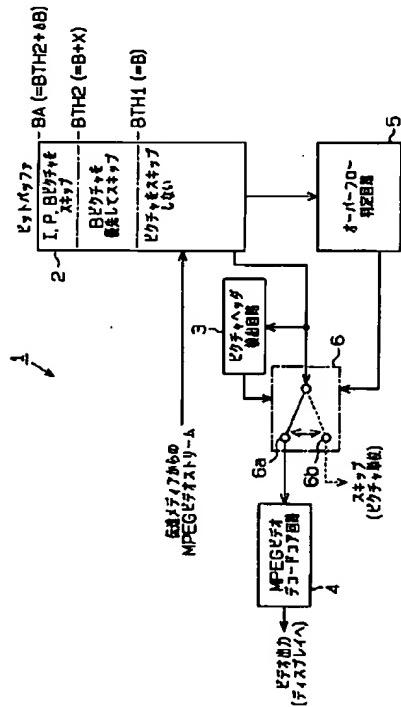
| | | | |
|-------------|------------------|---------|--|
| (21)出願番号 | 特願平7-271372 | (71)出願人 | 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号 |
| (22)出願日 | 平成7年(1995)10月19日 | (72)発明者 | 岡田 茂之 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内 |
| (31)優先権主張番号 | 特願平6-297347 | (72)発明者 | 棚橋 直樹 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内 |
| (32)優先日 | 平6(1994)11月30日 | (72)発明者 | 中島 勇人 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内 |
| (33)優先権主張国 | 日本 (JP) | (74)代理人 | 弁理士 恩田 博宣 |
| (31)優先権主張番号 | 特願平7-66471 | | |
| (32)優先日 | 平7(1995)3月24日 | | |
| (33)優先権主張国 | 日本 (JP) | | |

(54)【発明の名称】 デコーダおよびMPEGビデオデコーダ

(57)【要約】

【課題】 ピットバッファがオーバーフローしても、再生される動画に生じるコマ落ちを少なくして見易さを向上させることができMPEGビデオデコーダを提供する。

【解決手段】 ピットバッファ2の占有量Bmが第1の閾値BTH1を越えない場合、ピットバッファ2から読み出されたピクチャはタイプに関係なくデコードコア回路4へ転送される。また、占有量Bmが第1の閾値BTH1と第2の閾値BTH2との間にある場合、ピットバッファ2からIピクチャまたはPピクチャが読み出されると当該ピクチャはデコードコア回路4へ転送され、Bピクチャが読み出されると当該ピクチャはスキップされる。そして、占有量Bmが第2の閾値BTH2を越えた場合、ピットバッファ2から読み出されたピクチャはタイプに関係なくスキップされる。



【特許請求の範囲】

【請求項1】 データを一時格納するバッファの占有量が常時規定値内に納まるように当該占有量を制御するデコーダ。

【請求項2】 ピットバッファの占有量が閾値を越えた場合には、ピットバッファから読み出されたピクチャのうちBピクチャを優先してスキップするMPEGビデオデコーダ。

【請求項3】 ピットバッファの占有量が第1の閾値を越えた場合には、ピットバッファから読み出されたピクチャのうちBピクチャを優先してスキップし、ピットバッファの占有量が第2の閾値を越えた場合には、ピットバッファから読み出されたピクチャのタイプに関係なくスキップするMPEGビデオデコーダ。

【請求項4】 外部から転送されてくるビデオストリームを蓄積し、そのビデオストリームが1ピクチャ分ずつ読み出されるピットバッファと、各ピクチャをMPEGビデオパートに準拠してデコードするMPEGビデオデコードコア回路と、

ピットバッファの占有量が第1の閾値を越えない場合はピットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、占有量が第1の閾値と第2の閾値との間にある場合、ピットバッファからIピクチャまたはPピクチャが読み出されると当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、Bピクチャが読み出されると当該ピクチャをスキップし、占有量が第2の閾値を越えた場合はピットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをスキップするピットバッファ制御手段とを備えたMPEGビデオデコーダ。

【請求項5】 外部から転送されてくるビデオストリームを蓄積し、そのビデオストリームが1ピクチャ分ずつ読み出されるピットバッファと、

ピットバッファから読み出されたビデオストリームのピクチャヘッダに基づいてそのピクチャのタイプを判定するピクチャヘッダ検出回路と、各ピクチャをMPEGビデオパートに準拠してデコードするMPEGビデオデコードコア回路と、

ピットバッファの占有量を検出し、その占有量と第1の閾値および第2の閾値とを比較するオーバーフロー判定回路と、ピットバッファの占有量が第1の閾値を越えない場合はピットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、占有量が第1の閾値と第2の閾値との間にある場合、ピットバッファからIピクチャまたはPピクチャが読み出されると当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、Bピクチャが読み出されると当該ピクチャをスキップし、占有量が第2の閾値を越えた場合はピットバッファから読み出されたピクチャのタイプに関係なく第2のノード側に接続されるMPEGビデオデコーダ。

【請求項6】 外部から転送されてくるビデオストリームを順次蓄積し、そのビデオストリームが一定の周期毎に1ピクチャ分ずつ読み出されるピットバッファと、ピットバッファに蓄積されたビデオストリームからピクチャヘッダを検出し、そのピクチャヘッダに基づいてピットバッファから読み出されたピクチャのタイプを判定するピクチャヘッダ検出回路と、各ピクチャをMPEGビデオパートに準拠してデコードすることで各ピクチャ毎のビデオ出力を生成するMPEGビデオデコードコア回路と、ピットバッファの占有量を検出し、その占有量と第1の閾値および第2の閾値とを比較するオーバーフロー判定回路と、

第1および第2のノードを備え、第1のノード側に接続されるとピットバッファから読み出された各ピクチャをそのままMPEGビデオデコードコア回路へ転送し、第2のノード側に接続されるとピットバッファから読み出された各ピクチャをピクチャ単位でスキップするピクチャスキップ回路とを備え、

ピクチャスキップ回路は、ピットバッファの占有量が第1の閾値を越えない場合、ピットバッファから読み出されたピクチャのタイプに関係なく第1のノード側に接続され、占有量が第1の閾値と第2の閾値との間にある場合、ピットバッファからIピクチャまたはPピクチャが読み出されると第1のノード側に接続され、Bピクチャが読み出されると第2のノード側に接続され、占有量が第2の閾値を越えた場合、ピットバッファから読み出されたピクチャのタイプに関係なく第2のノード側に接続されるMPEGビデオデコーダ。

【請求項7】 請求項2～6のいずれか1項に記載のMPEGビデオデコーダにおいて、ピットバッファの容量(BA)は、バッファサイズ(Vbv Buffer Size)に、ピットレート(bit rate)をピクチャレート(picture rate)で除算した値(X)を加えた値に設定され、前記バッファサイズ、ピットレート、ピクチャレートはそれぞれビデオストリームのシーケンスの先頭に付くシーケンスヘッダによって規定されるMPEGビデオデコーダ。

【請求項8】 請求項2～6のいずれか1項に記載のMPEGビデオデコーダにおいて、ピットバッファの容量(BA)は、バッファサイズ(Vbv Buffer Size)に、ピットレート(bit rate)をピクチャレート(picture rate)で除算した値(X)と、バッファサイズおよび前記除算した値に基づいて設定される余裕分を加えた値に設定され、前記バッファサイズ、ピットレート、ピクチャレートはそれぞれビデオストリームのシーケンスの先

頭に付くシーケンスヘッダによって規定されるMPEGビデオデコーダ。

【請求項9】 請求項7または請求項8に記載のMPEGビデオデコーダにおいて、閾値または第1の閾値はバッファサイズ (Vbv Buffer Size) と同じ値に設定され、第2の閾値はバッファサイズ (Vbv Buffer Size) にビットレート (bit rate) をピクチャレート (picture rate) で除算した値 (X) を加えた値に設定されたMPEGビデオデコーダ。

【請求項10】 ビットバッファの占有量が第3の閾値を下回った場合には、ビットバッファからのピクチャの読み出しを停止させるMPEGビデオデコーダ。

【請求項11】 外部から転送されてくるビデオストリームを蓄積し、そのビデオストリームが1ピクチャ分ずつ読み出されるビットバッファと、

各ピクチャをMPEGビデオパートに準拠してデコードすることでビデオ出力を生成するMPEGビデオデコードコア回路と、

ビットバッファの占有量と第3の閾値とを比較すると共に、ビットバッファがアンダーフローしているかどうかを検出し、ビットバッファから読み出されたピクチャのタイプと、前記比較結果および検出結果に基づいて、MPEGビデオデコードコア回路のデコード動作とビットバッファからのピクチャの読み出し動作とを制御するアンダーフロー制御回路とを備えたMPEGビデオデコーダ。

【請求項12】 外部から転送されてくるビデオストリームを順次蓄積し、そのビデオストリームが一定の周期毎に1ピクチャ分ずつ読み出されるビットバッファと、ビットバッファに蓄積されたビデオストリームからピクチャヘッダを検出し、そのピクチャヘッダに基づいてビットバッファから読み出されたピクチャのタイプを判定するピクチャヘッダ検出回路と、

各ピクチャをMPEGビデオパートに準拠してデコードすることで各ピクチャ毎のビデオ出力を生成するMPEGビデオデコードコア回路と、

ビットバッファの占有量と第3の閾値とを比較すると共に、ビットバッファがアンダーフローしているかどうかを検出し、ビットバッファから読み出されたピクチャのタイプと、前記比較結果および検出結果に基づいて、MPEGビデオデコードコア回路のデコード動作とビットバッファからのピクチャの読み出し動作とを制御するアンダーフロー制御回路とを備えたMPEGビデオデコーダ。

【請求項13】 請求項11または請求項12に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ビットバッファの占有量が第3の閾値を下回った場合、ビットバッファからのピクチャの読み出しを停止させ、そのときに処理しているピクチャではなく、それ以前にビットバッファから読み出されたピクチャのデ

コード結果であるビデオ出力をMPEGビデオデコードコア回路から引き続き出力させるMPEGビデオデコーダ。

【請求項14】 請求項11～13のいずれか1項に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファがアンダーフローを起こした場合、ピットバッファからのピクチャの読み出しを停止させ、そのときに処理しているピクチャではなく、それ以前にピットバッファから読み出されたピクチャのデコード結果であるビデオ出力をMPEGビデオデコードコア回路から引き続き出力させるMPEGビデオデコーダ。

【請求項15】 請求項11～14のいずれか1項に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファがアンダーフローを起こした場合、MPEGビデオデコードコア回路においてBピクチャをデコード処理している途中であれば、そのBピクチャをスキップさせるMPEGビデオデコーダ。

【請求項16】 請求項11～15のいずれか1項に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファがアンダーフローを起こした場合、MPEGビデオデコードコア回路においてIピクチャまたはPピクチャをデコード処理している途中であれば、ピットバッファのアンダーフローが解除されるまで待った後で、残りのデコード処理を続行させるMPEGビデオデコーダ。

【請求項17】 請求項10～16のいずれか1項に記載のMPEGビデオデコーダにおいて、第3の閾値はビットレート (bit rate) にディレイ (vbv delay) を乗じた値に設定され、前記ディレイはピクチャの先頭に付くピクチャヘッダで規定されるMPEGビデオデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデコーダおよびMPEG (Moving Picture Expert Group) ビデオデコーダに関するものである。

【0002】

【従来の技術】 CD (Compact Disk) は高音質の音楽情報を提供するメディアとして全世界に普及しているが、近年、音楽情報だけでなく画像情報や音声情報を中心とするマルチメディアにおける利用が進められている。マルチメディアで利用される様々なCDは総括してCDファミリーと呼ばれる。CDファミリーには、いわゆる音楽用CDであるCD-DA (CD-Digital Audio) ファミリーのほかに、いわゆるデータ用CDであるCD-ROM (CD-Read Only Memory) ファミリーなどがある。CD-ROMファミリーにはCD-I FMV (CD-Interactive Full MotionVideo) またはCD-I DV (CD-Interactive Digital Video) などがある。CD-I FMV

にはビデオCDやカラオケCDなどがある。

【0003】マルチメディアで扱われる情報は、膨大な量で且つ多種多様であり、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの圧縮・伸長技術が不可欠となる。そのようなデータの圧縮・伸長技術として「MPEG (Moving Picture Expert Group)」方式が挙げられる。このMPEG方式は、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission)傘下のMPEG委員会 (ISO/IEC JTC1/SC29/WG11) によって標準化されつつある。MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」(ISO/IEC IS 11172 Part1:Systems)では、ビデオデータとオーディオデータの多重化構造 (マルチプレクス・ストラクチャ) および同期方式が規定される。パート2の「MPEGビデオパート」(ISO/IEC IS 11172 Part2:Video)では、ビデオデータの高能率符号化方式およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」(ISO/IEC IS 11172 Part3:Audio)では、オーディオデータの高能率符号化方式およびオーディオデータのフォーマットが規定される。

【0004】MPEG方式を利用することにより、CD-ROMファミリーにおいても動画再生が可能になる。カラオケCDは、CD-I FMVフォーマットからMPEG方式に関する部分だけを取り出し、動画再生だけを行わせるものである。ビデオCDは、動画再生に加え、静止画再生および静止画再生と動画再生を組み合わせた表現が可能になるPBC (Play Back Control) と呼ばれるメニュー再生機能を付加したものである。従って、ビデオCDはCD-I FMVと互換性があり、CD-I FMVプレーヤでビデオCDフォーマットのディスクを再生することができる。

【0005】尚、MPEGには主にエンコードレートの違いにより、現在のところ、MPEG-1, MPEG-2の2つの方式がある。MPEG-1は主にCD-ROMファミリーなどの蓄積メディアに対応しており、MPEG-2はMPEG-1をも含む幅広い範囲のアプリケーションに対応している。

【0006】MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十個（例えば、30個）のフレーム（画面）によって構成されている。ビデオデータは、シーケンス (Sequence)、GOP (Group Of Pictures)、ピクチャ、スライス (Slice)、マクロブロック (Macroblock)、ブロックの順に6層の階層構造から成る。MPEG-1においてフレームはピクチャに対応している。MPEG-2においては、フレームまたはフィールドをピクチャに対応させることもできる。フィールドは、2個で1つのフレーム

を構成している。ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

【0007】MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では、双方向予測が行われる。双方向予測とは、過去の再生画像（ピクチャ）から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測と併用することである。

【0008】この双方向予測は、Iピクチャ (Intra-Picture), Pピクチャ (Predictive-Picture), Bピクチャ (Bidirectionally predictive-Picture) と呼ばれる3つのタイプのピクチャを規定している。Iピクチャは、過去や未来の再生画像とは無関係に、独立して生成される。Pピクチャは順方向予測（過去のIピクチャまたはPピクチャからの予測）により生成される。Bピクチャは双方向予測により生成される。双方向予測においてBピクチャは、以下に示す3つの予測のうちいずれか1つにより生成される。①過去のIピクチャまたはPピクチャからの予測、②未来のIピクチャまたはPピクチャからの予測、③過去および未来のIピクチャまたはPピクチャからの予測。そして、これらI, P, Bピクチャがそれぞれエンコードされる。つまり、Iピクチャは過去や未来のピクチャが無くても生成される。これに対し、Pピクチャは過去のピクチャが無いと生成されず、Bピクチャは過去または未来のピクチャが無いと生成されない。

【0009】フレーム間予測では、まず、Iピクチャが周期的に生成される。次に、Iピクチャよりも数フレーム先のフレームがPピクチャとして生成される。このPピクチャは、過去から現在への一方向（順方向）の予測により生成される。続いて、Iピクチャの前、Pピクチャの後に位置するフレームがBピクチャとして生成される。このBピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の3つの中から最適な予測方法が選択される。一般的に連続した動画では、現在の画像とその前後の画像とは良く似ており、異なっているのはその一部分に過ぎない。そこで、前のフレーム（例えば、Iピクチャ）と次のフレーム（例えば、Pピクチャ）とは同じであると仮定し、両フレーム間に変化があればその差分（Bピクチャのデータ）のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。

【0010】このようにMPEGビデオパートに準拠してエンコードされたビデオデータのデータ列（ビットストリーム）は、MPEGビデオストリーム（以下、ビデオストリームと略す）と呼ばれる。

【0011】図5に、従来のMPEGビデオデコーダ101の要部ブロック回路を示す。MPEGビデオデコ

ダ101は、ビットバッファ102、ピクチャヘッダ検出回路103、MPEGビデオデコードコア回路（以下、デコードコア回路と略す）104、オーバーフロー検出回路105、ピクチャスキップ回路106から構成されている。

【0012】伝達メディア（図示略）から転送されてきたMPEGビデオストリーム（以下、ビデオストリームと略す）は、ビットバッファ102へ入力される。ビットバッファ102は FIFO (First-In-First-Out) 構成のRAM (Random AccessMemory) から成るリングバッファによって構成され、ビデオストリームを順次蓄積する。

【0013】尚、伝達メディアには、LAN (Local Area Network)などの通信メディア、ビデオCDやDVD (Digital Video Disk) およびVTR (Video Tape Recorder)などの蓄積メディア、地上波放送や衛星放送およびCATV (Community Antenna Television)などの放送メディアが含まれる。

【0014】ピクチャヘッダ検出回路103は、ビットバッファ102に蓄積されたビデオストリームからピクチャヘッダを検出する。そのピクチャヘッダ検出回路103の検出結果に基づいて、ビットバッファ102からは、一定の周期毎に1ピクチャ分のビデオストリームが読み出される。

【0015】ビットバッファ102から読み出された各ピクチャは、ピクチャスキップ回路106を介してデコードコア回路104へ転送される。ピクチャスキップ回路106は2つのノード106a, 106bを備えている。そして、ピクチャスキップ回路106は、ノード106a側に接続されると、ビットバッファ102から読み出された各ピクチャをそのままデコードコア回路104へ転送する。また、ノード106b側に接続されると、ビットバッファ102から読み出された各ピクチャをデコードコア回路104へ転送せずにピクチャ単位でスキップする。このピクチャスキップ回路106の各ノード106a, 106bの切り換え動作は、ピクチャヘッダ検出回路103およびオーバーフロー検出回路105によって制御される。

【0016】デコードコア回路104は、ピクチャスキップ回路106から転送されてくる各ピクチャをMPEGビデオパートに準拠してデコードすることで各ピクチャ毎のビデオ出力を生成し、そのビデオ出力を外部に設けられたディスプレイ（図示略）へ出力する。そして、ディスプレイにおいて、ビデオ出力に基づいた動画が再生される。

【0017】オーバーフロー検出回路105は、ビットバッファ102がオーバーフローを起こしているかどうかを検出する。そして、オーバーフロー検出回路105は、ビットバッファ102がオーバーフローしていることを検出すると、ピクチャスキップ回路106を制御し

てノード106b側に接続を切り換える、ビットバッファ102がオーバーフローしなくなるまでビットバッファ102から読み出された各ピクチャをスキップさせる。その後、オーバーフロー検出回路105は、ビットバッファ102のオーバーフローが解除されたことを検出すると、ピクチャスキップ回路106を制御してノード106a側に接続を切り換える、ビットバッファ102から読み出された各ピクチャをデコードコア回路104へ転送させる。

【0018】ここで、伝達メディアから転送されてくるビデオストリームのビットレートRBは固定されている。そのため、1ピクチャ分のデータ量が多すぎたり少なすぎたりして、ビットバッファ102がオーバーフローしたりアンダーフローしたりしないように、ビットバッファ102の占有率を制御する必要がある。そこで、MPEGビデオパートでは、仮想的なMPEGビデオデコーダが想定され、それに対する規定がなされている。

【0019】図6に、通常の再生時におけるビットバッファ102の占有量の変化を示す。ビットバッファ102の占有量BmはビットレートRBをグラフの傾きとして上昇する。ビットレートRBは、シーケンスの先頭に付くシーケンスヘッダのBR (Bit Rate) に従って式(1)に示すように規定される。また、伝達メディアから転送されてくるビデオストリームのピクチャレートRPはシーケンスヘッダのPR (Picture Rate) によって規定される。そして、ビットバッファ102の容量Bは、シーケンスヘッダのVBV (Vbv[Video Buffering Verifier] Buffer Size) に従って式(2)に示すように規定される。そして、1フレーム期間毎に、デコードコア回路104がそのときデコードしようとする1ピクチャ分のビデオストリームが、ビットバッファ102から一気に読み出される。ここで、1フレーム期間に伝達メディアから転送されてビットバッファ102に入力されるビデオストリームのデータ量Xは、ビットレートRBおよびピクチャレートRPに従って式(3)に示すように規定される。従って、ビットバッファ102から1ピクチャ分のビデオストリームが一気に読み出された直後のビットバッファ102の占有量Bm (=B0 ~ B6)は、データ量Xとビットバッファ102の容量Bとに基づいて、式(4)に示す条件を満たすように規定される。

【0020】

$$RB = 400 \times BR \quad \dots \dots \dots (1)$$

$$B = 16 \times 1024 \times VBV \quad \dots \dots \dots (2)$$

$$X = RB / RP \quad \dots \dots \dots (3)$$

$$0 < B_m < B - X = B - (RB / RP) \quad \dots \dots \dots (4)$$

式(4)に示す条件を満たすようにビットバッファ102の占有量Bmが規定されていれば、ビットバッファ102がオーバーフローしたりアンダーフローしたりすることはない。逆に言えば、ビットバッファ102の占有

量B_mが閾値(B-X)を越えると、次の1フレーム期間にビットバッファ102に入力されるビデオストリームによってビットバッファ102がオーバーフローする可能性が極めて高くなる。

【0021】通常の再生時においては、式(4)が満たされるように、ビットレートRB、ピクチャレートRP、容量Bの各値が規定されている。従って、式(2)に示すようにビットバッファ102の容量Bを設定しておけば、ビットバッファ102がオーバーフローしたりアンダーフローしたりすることはないはずである。

【0022】しかし、上記のようにビットバッファ102の占有率(B_m/B)を制御していても、ビットバッファ102がオーバーフローすることがある。オーバーフロー検出回路105およびピクチャスキップ回路106が設けられているのはそのためである。

【0023】すなわち、ビットバッファ102がオーバーフローしているかどうかをオーバーフロー検出回路105によって検出し、オーバーフローしている場合には、ビットバッファ102から読み出された各ピクチャをピクチャスキップ回路106を介してスキップさせる。その結果、ビットバッファ102のオーバーフローは解除される。

【0024】

【発明が解決しようとする課題】ビットバッファ102はリングバッファによって構成されているため、オーバーフローすると、ビットバッファ102に既に蓄積されていたビデオストリームに対して、新たに入力されたビデオストリームが上書きされることになる。その結果、ビットバッファ102に既に蓄積されていたビデオストリームが破壊されて失われてしまう。

【0025】例えば、デコードコア回路104において任意のピクチャをデコードしている途中でビットバッファ102がオーバーフローすると、デコード処理中のピクチャのビットバッファ102に残っている部分に対して、新たに入力されたビデオストリームが上書きされる。その結果、デコード処理中のピクチャのビットバッファ102に残っている部分が破壊されて失われる。すると、デコードコア回路104では、そのピクチャのデコードを完了することが不可能になり、そのピクチャのビデオ出力を生成することができなくなる。

【0026】前記したように、Pピクチャは過去のピクチャ無しには生成することができず、Bピクチャは過去または未来のピクチャ無しには生成することができない。過去や未来のピクチャ無しに生成することができるのはIピクチャだけである。そのため、ビットバッファ102がオーバーフローした時点でデコード処理中のピクチャがIピクチャまたはPピクチャの場合には、ビットバッファ102に蓄積されているビデオストリームの各ピクチャのうち、そのデコード処理中のピクチャから次に読み出されるIピクチャまでの全てのPピクチャおよ

よりBピクチャをデコードすることができなくなる。つまり、デコードコア回路104では、ビットバッファ102から次のIピクチャが読み出されるまでデコード処理を再開することができなくなる。

【0027】このように、ビットバッファ102がオーバーフローすると、多数のピクチャがデコード不可能になるため、それらのピクチャの分だけ再生される動画にコマ落ちが生じる。その結果、動画の動きが滑らかにならずギクシャクしたものになって画質が劣化し見辛くなる。

【0028】ところで、ピクチャスキップ回路106は、ビットバッファ102から読み出されたピクチャをピクチャのタイプに関係なくスキップする。そのため、ピクチャスキップ回路106からスキップされたピクチャがIピクチャやPピクチャである場合もでてくる。その場合には、ビットバッファ102のオーバーフローが解除されてデコードコア回路104におけるデコード動作が再開されたとき、スキップされたピクチャに続く数ピクチャについてはデコード処理を行うことができず、ビデオ出力の生成がしばらく停止することになる。その結果、ディスプレイにおいて再生される動画にコマ落ちが生じ、動画の動きがギクシャクしたものになって画質が劣化し見辛くなる。

【0029】また、上記したようにビットバッファ102の占有率を制御していても、ビットバッファ102がアンダーフローすることがある。例えば、伝達メディアとしてビデオCDを用いた場合には、ディスクの傷や振動により、ディスクに記録されているビデオストリームを読み取ることができないことがある。その場合には、ビデオCDから新たなビデオストリームが転送されてきてビットバッファ102のアンダーフローが解除されるまでの間、デコードコア回路104におけるデコード動作は停止を余儀なくされ、ビデオ出力の生成も停止されることになる。その結果、ディスプレイにおいて再生される動画にコマ落ちが生じ、動画の動きがギクシャクしたものになって画質が劣化し見辛くなる。

【0030】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 再生される動画に生じるコマ落ちを少なくして見易さを向上させることができ可能なデコーダまたはMPEGビデオデコーダを提供する。

【0031】2) バッファまたはビットバッファのオーバーフローを防止することができる可能なデコーダまたはMPEGビデオデコーダを提供する。

3) バッファまたはビットバッファのアンダーフローを防止することができる可能なデコーダまたはMPEGビデオデコーダを提供する。

【0032】

【課題を解決するための手段】請求項1に記載の発明は、データを一時格納するバッファの占有率が常時規定

値内に納まるように当該占有量を制御することをその要旨とする。

【0033】請求項2に記載の発明は、ビットバッファの占有量が閾値を越えた場合には、ビットバッファから読み出されたピクチャのうちBピクチャを優先してスキップすることをその要旨とする。

【0034】請求項3に記載の発明は、ビットバッファの占有量が第1の閾値を越えた場合には、ビットバッファから読み出されたピクチャのうちBピクチャを優先してスキップし、ビットバッファの占有量が第2の閾値を越えた場合には、ビットバッファから読み出されたピクチャのタイプに関係なくスキップすることをその要旨とする。

【0035】請求項4に記載の発明は、外部から転送されてくるビデオストリームを蓄積し、そのビデオストリームが1ピクチャ分ずつ読み出されるビットバッファと、各ピクチャをMPEGビデオパートに準拠してデコードするMPEGビデオデコードコア回路と、ビットバッファの占有量が第1の閾値を越えない場合はビットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、占有量が第1の閾値と第2の閾値との間にある場合、ビットバッファからIピクチャまたはPピクチャが読み出されると当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、占有量が第2の閾値を越えた場合はビットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをスキップするビットバッファ制御手段とを備えたことをその要旨とする。

【0036】請求項5に記載の発明は、外部から転送されてくるビデオストリームを蓄積し、そのビデオストリームが1ピクチャ分ずつ読み出されるビットバッファと、ビットバッファから読み出されたビデオストリームのピクチャヘッダに基づいてそのピクチャのタイプを判定するピクチャヘッダ検出回路と、各ピクチャをMPEGビデオパートに準拠してデコードするMPEGビデオデコードコア回路と、ビットバッファの占有量を検出し、その占有量と第1の閾値および第2の閾値とを比較するオーバーフロー判定回路と、ビットバッファの占有量が第1の閾値を越えない場合はビットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、占有量が第1の閾値と第2の閾値との間にある場合、ビットバッファからIピクチャまたはPピクチャが読み出されると当該ピクチャをそのままMPEGビデオデコードコア回路へ転送し、占有量が第2の閾値を越えた場合はビットバッファから読み出されたピクチャのタイプに関係なく当該ピクチャをスキップするビットバッファ制御手段とを備えたことをその要旨とする。

【0037】請求項6に記載の発明は、外部から転送されてくるビデオストリームを順次蓄積し、そのビデオストリームが一定の周期毎に1ピクチャ分ずつ読み出されるビットバッファと、ビットバッファに蓄積されたビデオストリームからピクチャヘッダを検出し、そのピクチャヘッダに基づいてビットバッファから読み出されたピクチャのタイプを判定するピクチャヘッダ検出回路と、各ピクチャをMPEGビデオパートに準拠してデコードすることで各ピクチャ毎のビデオ出力を生成するMPEGビデオデコードコア回路と、ビットバッファの占有量を検出し、その占有量と第1の閾値および第2の閾値とを比較するオーバーフロー判定回路と、第1および第2のノードを備え、第1のノード側に接続されるとビットバッファから読み出された各ピクチャをそのままMPEGビデオデコードコア回路へ転送し、第2のノード側に接続されるとビットバッファから読み出された各ピクチャをピクチャ単位でスキップするピクチャスキップ回路とを備え、ピクチャスキップ回路は、ビットバッファの占有量が第1の閾値を越えない場合、ビットバッファから読み出されたピクチャのタイプに関係なく第1のノード側に接続され、占有量が第1の閾値と第2の閾値との間にある場合、ビットバッファからIピクチャまたはPピクチャが読み出されると第1のノード側に接続され、Bピクチャが読み出されると第2のノード側に接続され、占有量が第2の閾値を越えた場合、ビットバッファから読み出されたピクチャのタイプに関係なく第2のノード側に接続されることをその要旨とする。

【0038】請求項7に記載の発明は、請求項2～6のいずれか1項に記載のMPEGビデオデコーダにおいて、ビットバッファの容量(BA)は、バッファサイズ(VbvBuffer Size)に、ビットレート(bit rate)をピクチャレート(picture rate)で除算した値(X)を加えた値に設定され、前記バッファサイズ、ビットレート、ピクチャレートはそれぞれビデオストリームのシーケンスの先頭に付くシーケンスヘッダによって規定されることをその要旨とする。

【0039】請求項8に記載の発明は、請求項2～6のいずれか1項に記載のMPEGビデオデコーダにおいて、ビットバッファの容量(BA)は、バッファサイズ(VbvBuffer Size)に、ビットレート(bit rate)をピクチャレート(picture rate)で除算した値(X)と、バッファサイズおよび前記除算した値に基づいて設定される余裕分を加えた値に設定され、前記バッファサイズ、ビットレート、ピクチャレートはそれぞれビデオストリームのシーケンスの先頭に付くシーケンスヘッダによって規定されることをその要旨とする。

【0040】請求項9に記載の発明は、請求項7または請求項8に記載のMPEGビデオデコーダにおいて、閾値または第1の閾値はバッファサイズ(Vbv Buffer Size)と同じ値に設定され、第2の閾値はバッファサイズ

(Vbv Buffer Size) にビットレート (bit rate) をピクチャレート (picture rate) で除算した値 (X) を加えた値に設定されたことをその要旨とする。

【0041】請求項10に記載の発明は、ピットバッファの占有量が第3の閾値を下回った場合には、ピットバッファからのピクチャの読み出しを停止させることをその要旨とする。

【0042】請求項11に記載の発明は、外部から転送されてくるビデオストリームを蓄積し、そのビデオストリームが1ピクチャ分ずつ読み出されるピットバッファと、各ピクチャをMPEGビデオパートに準拠してデコードすることでビデオ出力を生成するMPEGビデオデコードコア回路と、ピットバッファの占有量と第3の閾値とを比較すると共に、ピットバッファがアンダーフローしているかどうかを検出し、ピットバッファから読み出されたピクチャのタイプと、前記比較結果および検出結果に基づいて、MPEGビデオデコードコア回路のデコード動作とピットバッファからのピクチャの読み出し動作とを制御するアンダーフロー制御回路とを備えたことをその要旨とする。

【0043】請求項12に記載の発明は、外部から転送されてくるビデオストリームを順次蓄積し、そのビデオストリームが一定の周期毎に1ピクチャ分ずつ読み出されるピットバッファと、ピットバッファに蓄積されたビデオストリームからピクチャヘッダを検出し、そのピクチャヘッダに基づいてピットバッファから読み出されたピクチャのタイプを判定するピクチャヘッダ検出回路と、各ピクチャをMPEGビデオパートに準拠してデコードすることで各ピクチャ毎のビデオ出力を生成するMPEGビデオデコードコア回路と、ピットバッファの占有量と第3の閾値とを比較すると共に、ピットバッファがアンダーフローしているかどうかを検出し、ピットバッファから読み出されたピクチャのタイプと、前記比較結果および検出結果に基づいて、MPEGビデオデコードコア回路のデコード動作とピットバッファからのピクチャの読み出し動作とを制御するアンダーフロー制御回路とを備えたことをその要旨とする。

【0044】請求項13に記載の発明は、請求項11または請求項12に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファの占有量が第3の閾値を下回った場合、ピットバッファからのピクチャの読み出しを停止させ、そのときに処理しているピクチャではなく、それ以前にピットバッファから読み出されたピクチャのデコード結果であるビデオ出力をMPEGビデオデコードコア回路から引き続き出力させることをその要旨とする。

【0045】請求項14に記載の発明は、請求項11～13のいずれか1項に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファがアンダーフローを起こした場合、ピットバッファからの

ピクチャの読み出しを停止させ、そのときに処理しているピクチャではなく、それ以前にピットバッファから読み出されたピクチャのデコード結果であるビデオ出力をMPEGビデオデコードコア回路から引き続き出力させることをその要旨とする。

【0046】請求項15に記載の発明は、請求項11～14のいずれか1項に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファがアンダーフローを起こした場合、MPEGビデオデコードコア回路においてBピクチャをデコード処理している途中であれば、そのBピクチャをスキップさせることをその要旨とする。

【0047】請求項16に記載の発明は、請求項11～15のいずれか1項に記載のMPEGビデオデコーダにおいて、アンダーフロー制御回路は、ピットバッファがアンダーフローを起こした場合、MPEGビデオデコードコア回路においてIピクチャまたはPピクチャをデコード処理している途中であれば、ピットバッファのアンダーフローが解除されるまで待った後で、残りのデコード処理を続行させることをその要旨とする。

【0048】請求項17に記載の発明は、請求項10～16のいずれか1項に記載のMPEGビデオデコーダにおいて、第3の閾値はビットレート (bit rate) にディレイ (vbv delay) を乗じた値に設定され、前記ディレイはピクチャの先頭に付くピクチャヘッダで規定されることをその要旨とする。請求項1に記載の発明によれば、バッファの占有量が常時規定値内に納まるため、バッファのオーバーフローやアンダーフローを防止することが可能になる。

【0049】請求項2～9のいずれか1項に記載の発明によれば、ピットバッファの占有量が閾値または第1の閾値を越えた場合には、ピットバッファから読み出されたピクチャのうちBピクチャを優先してスキップする。その結果、ピットバッファの占有量が低下してオーバーフローが起こり難くなる。ここで、Bピクチャは双方向予測によって生成され、その重要度はIピクチャやPピクチャに比べて低い。従って、ピットバッファから読み出されたBピクチャをスキップしても、次にピットバッファから読み出されるピクチャについては、そのタイプに関係なく、デコード処理を行うことができる。

【0050】請求項3～9のいずれか1項に記載の発明によれば、占有量が第2の閾値を越えた場合、ピットバッファから読み出されたピクチャはタイプに関係なくスキップされる。その結果、ピットバッファの占有量が低下してオーバーフローは起こらなくなる。つまり、ピットバッファがオーバーフローを起こす前に、ピットバッファから読み出されたピクチャを、そのタイプと占有量に基づいてスキップすることで、オーバーフローの発生を未然に防止することができる。

【0051】請求項4～6のいずれか1項に記載の発明

によれば、MPEGビデオデコードコア回路の出力に基づいて再生される動画に生じるコマ落ちが少なくなり、見易さを向上させることができる。

【0052】請求項5に記載の発明によれば、ピクチャヘッダ検出回路を設けたことで、ピットバッファから読み出されたピクチャのタイプを確実に判定することができる。また、オーバーフロー判定回路を設けたことで、ピットバッファの占有量と第1の閾値および第2の閾値とを確実に比較することができる。

【0053】請求項6に記載の発明によれば、ピクチャスキップ回路が第1および第2のノードを備えていることで、ピクチャのスキップまたはMPEGビデオデコードコア回路への転送を確実に行うことができる。

【0054】請求項7に記載の発明によれば、ピットバッファの容量を最適化することができる。請求項8に記載の発明によれば、ピットバッファの容量に余裕分が設けられているため、オーバーフローがさらに起こり難くなる。

【0055】請求項9に記載の発明によれば、閾値または第1および第2の閾値を最適化することができる。請求項10に記載の発明によれば、ピットバッファの占有量が増大してアンダーフローが起こり難くなる。

【0056】請求項11または請求項12に記載の発明によれば、アンダーフロー制御回路によってMPEGビデオデコードコア回路のデコード動作およびピットバッファからのピクチャの読み出し動作とを制御することで、ピットバッファのアンダーフローが起こり難くなる。

【0057】請求項12に記載の発明によれば、ピクチャヘッダ検出回路を設けたことで、ピットバッファから読み出されたピクチャのタイプを確実に判定することができる。

【0058】請求項13に記載の発明によれば、ピットバッファの占有量が増大してアンダーフローが起こり難くなる。請求項14に記載の発明によれば、ピットバッファがアンダーフローを起こした場合でも、MPEGビデオデコードコア回路からビデオ出力が中断することなく継続して出力され、MPEGビデオデコードコア回路の出力に基づいて再生される画面の表示も継続して行われる。その結果、動画に生じるコマ落ちが少なくなり、見易さを向上させることができる。

【0059】請求項15に記載の発明において、Bピクチャは双方向予測によって生成され、その重要度はIピクチャやPピクチャに比べて低い。従って、ピットバッファから読み出されたBピクチャをスキップしても、次にピットバッファから読み出されるピクチャについては、そのタイプに関係なく、MPEGビデオデコードコア回路においてデコード処理を行うことができる。

【0060】請求項16に記載の発明によれば、重要度の低いIピクチャおよびPピクチャを有効に生かすこと

ができる。請求項17に記載の発明によれば、第3の閾値を最適化することができる。

【0061】

【発明の実施の形態】

(第1実施形態) 以下、本発明を具体化した第1実施形態を図1および図2に従って説明する。

【0062】図1に、本実施形態のMPEGビデオデコーダ1の要部プロック回路を示す。MPEGビデオデコーダ1は、ピットバッファ2、ピクチャヘッダ検出回路3、MPEGビデオデコードコア回路(以下、デコードコア回路と略す)4、オーバーフロー判定回路5、ピクチャスキップ回路6から構成されている。

【0063】伝達メディア(図示略)から転送されてきたMPEGビデオストリーム(以下、ビデオストリームと略す)は、ピットバッファ2へ入力される。尚、伝達メディアには、LAN(Local Area Network)などの通信メディア、ビデオCDやDVD(Digital Video Disk)およびVTR(Video Tape Recoder)などの蓄積メディア、地上波放送や衛星放送およびCATV(Community Antenna Television)などの放送メディアが含まれる。

【0064】ピットバッファ2はFIFO構成のRAMから成るリングバッファによって構成され、ビデオストリームを順次蓄積する。ここで、ピットバッファ2の容量BAは、式(2)で規定される容量Bに、式(3)で規定されるデータ量Xと、適宜な余裕分△Bとを加えた値に設定しておく($BA = B + X + \Delta B$)。例えば、ビデオCDでは、容量Bが46 kBイト、データ量Xが6 kBイトに規定されている。また、余裕分△Bは容量Bおよびデータ量Xに基づいて2 kBイト程度に設定されている。従って、ピットバッファ2の容量BAは、約54 kB($= 46 kB + 6 kB + 2 kB$) バイトに設定される。

【0065】ピクチャヘッダ検出回路3は、ピットバッファ2に蓄積されたビデオストリームからピクチャヘッダを検出する。そのピクチャヘッダ検出回路3の検出結果に基づいて、ピットバッファ2からは、一定の周期毎に1ピクチャ分のビデオストリームが読み出される。また、ピクチャヘッダ検出回路3は、ピクチャヘッダに基づいてピットバッファ2から読み出されたピクチャのタイプを判定する。

【0066】ピットバッファ2から読み出された各ピクチャは、ピクチャスキップ回路6を介してデコードコア回路4へ転送される。ピクチャスキップ回路6は2つのノード6a, 6bを備えている。そして、ピクチャスキップ回路6は、ノード6a側に接続されると、ピットバッファ2から読み出された各ピクチャをそのままデコードコア回路4へ転送する。また、ノード6b側に接続されると、ピットバッファ2から読み出された各ピクチャをデコードコア回路4へ転送せずにピクチャ単位でスキップする。このピクチャスキップ回路6の各ノード6

a, 6 b の切り換え動作は、ピクチャヘッダ検出回路 3 およびオーバーフロー判定回路 5 によって制御される。

【0067】デコードコア回路 4 は、ピクチャスキップ回路 6 から転送されてくる各ピクチャをMPEGビデオパートに準拠してデコードすることで各ピクチャ毎のビデオ出力を生成し、そのビデオ出力を外部に設けられたディスプレイ(図示略)へ出力する。そして、ディスプレイにおいて、ビデオ出力に基づいた動画が再生される。

【0068】オーバーフロー判定回路 5 は、ピットバッファ 2 の占有量 B_m を検出し、その占有量 B_m と第 1 の閾値 B_{TH1} および第 2 の閾値 B_{TH2} とを比較する。ここで、第 1 の閾値 B_{TH1} は容量 B と同じ値に設定されている ($B_{TH1} = B$)。また、第 2 の閾値 B_{TH2} は容量 B にデータ量 X を加えた値に設定されている ($B_{TH2} = B + X$)。つまり、ピットバッファ 2 の容量 BA は、第 2 の閾値 B_{TH2} に余裕分 ΔB を加えた値となる。

【0069】次に、ピクチャスキップ回路 6 の各ノード 6 a, 6 b の切り換え動作を、図 2 に示すフローチャートに従って説明する。まず、ステップ(以下、S という) 1において、オーバーフロー判定回路 5 により、占有量 B_m が第 1 の閾値 B_{TH1} を越えていると判定された場合 ($B_m > B_{TH1}$) には S 2 へ移行し、越えていないと判定された場合 ($B_m \leq B_{TH1}$) には S 3 へ移行する。

【0070】S 2 において、オーバーフロー判定回路 5 により、占有量 B_m が第 2 の閾値 B_{TH2} を越えていると判定された場合 ($B_m > B_{TH2}$) には S 5 へ移行し、越えていないと判定された場合 ($B_m \leq B_{TH2}$) には S 4 へ移行する。

【0071】S 4 において、ピクチャヘッダ検出回路 3 により、ピットバッファ 2 から読み出されたピクチャのタイプを判定し、そのピクチャが B ピクチャの場合は S 5 へ移行し、I ピクチャまたは P ピクチャの場合は S 6 へ移行する。

【0072】S 5 において、ピクチャスキップ回路 6 はノード 6 b 側に切り換えられ、ピットバッファ 2 から読み出されたピクチャはスキップされる。そして、S 1 へ戻る。

【0073】S 3 において、ピクチャスキップ回路 6 はノード 6 a 側に切り換えられ、ピットバッファ 2 から読み出されたピクチャはデコードコア回路 4 へ転送される。そして、S 1 へ戻る。

【0074】このように、本実施形態によれば、以下の作用および効果を得ることができる。

①ピットバッファ 2 の占有量 B_m が第 1 の閾値 B_{TH1} を越えない場合、ピットバッファ 2 から読み出されたピクチャはタイプに関係なくデコードコア回路 4 へ転送される。また、占有量 B_m が第 1 の閾値 B_{TH1} と第 2 の閾値 B_{TH2} との間にある場合、ピットバッファ 2 から I ピク

チャまたは P ピクチャが読み出されると当該ピクチャはデコードコア回路 4 へ転送され、B ピクチャが読み出されると当該ピクチャはスキップされる。そして、占有量 B_m が第 2 の閾値 B_{TH2} を越えた場合、ピットバッファ 2 から読み出されたピクチャはタイプに関係なくスキップされる。

【0075】②上記①より、占有量 B_m が第 1 の閾値 B_{TH1} と第 2 の閾値 B_{TH2} との間にある場合には、ピットバッファ 2 から読み出されたピクチャのうち、B ピクチャが優先してスキップされる。その結果、ピットバッファ 2 の占有量 B_m が低下してオーバーフローが起こり難くなる。ここで、前記したように、B ピクチャは双方予測によって生成され、その重要度は I ピクチャや P ピクチャに比べて低い。従って、ピットバッファ 2 から読み出された B ピクチャをスキップしても、次にピットバッファ 2 から読み出されるピクチャについては、そのタイプに関係なく、デコードコア回路 4 においてデコード処理を行うことができる。

【0076】③上記①より、占有量 B_m が第 2 の閾値 B_{TH2} を越えた場合、ピットバッファ 2 から読み出されたピクチャはタイプに関係なくスキップされる。その結果、ピットバッファ 2 の占有量 B_m が低下してオーバーフローは起こらなくなる。

【0077】④ピットバッファ 2 の容量 BA に余裕分 ΔB が設けられているため、ピットバッファ 2 のオーバーフローがさらに起こり難くなる。ここで、余裕分 ΔB が大きいほどピットバッファ 2 のオーバーフローは起こり難くなるが、ピットバッファ 2 の容量 BA が大きくなるためコストが増大して経済効率が悪化する。従って、実際に様々なビデオストリームを処理する実験を行うことで、最適な余裕分 ΔB を定める必要がある。

【0078】⑤本実施形態においては、ピットバッファ 2 がオーバーフローを起こす前に、ピットバッファ 2 から読み出されたピクチャを、そのタイプと占有量 B_m とに基づいてスキップすることで、オーバーフローの発生を未然に防止している。それに対して、従来例では、ピットバッファ 2 がオーバーフローを起こした後に、ピットバッファ 2 から読み出されたピクチャを、そのタイプに関係なくスキップすることで、オーバーフローを解除している。従って、本実施形態によれば、ディスプレイにおいて再生される動画に生じるコマ落ちが従来例に比べて少なくなり、動画の動きは滑らかなものになって見易さを向上させることができる。

【0079】(第 2 実施形態) 以下、本発明を具体化した第 2 実施形態を図 3 および図 4 に従って説明する。図 3 に、本実施形態のMPEGビデオデコーダ 11 の要部ブロック回路を示す。尚、本実施形態において、第 1 実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0080】MPEGビデオデコーダ 11 は、ピットバ

ツッファ2、フレームバッファ22、ピクチャヘッダ検出回路3、デコードコア回路4、アンダーフロー制御回路12から構成されている。

【0081】デコードコア回路4で生成された各ピクチャのデコード結果（ビデオ出力）は、フレームバッファ22の各領域22a～22cへ転送される。また、フレームバッファ22の各領域22a～22cから読み出された各ピクチャのデコード結果は、デコードコア回路4へ転送される。

【0082】フレームバッファ22はRAMから成り、その内部は3つの領域（前方参照領域22a、後方参照領域22b、Bピクチャ格納領域22c）に分けられている。前方参照領域22aには、デコードコア回路4において逆方向予測を行う際に用いられる未来のIピクチャまたはPピクチャのデコード結果（ビデオ出力）が格納される。後方参照領域22bには、デコードコア回路4において順方向予測を行う際に用いられる過去のIピクチャまたはPピクチャのデコード結果が格納される。Bピクチャ格納領域22cにはBピクチャのデコード結果が格納される。そして、各領域22a～22cのいずれか一つに格納されたビデオ出力が、ディスプレイ（図示略）へ出力される。

【0083】フレームバッファ22とピットバッファ2とは、部品点数を少なくしてMPEGビデオデコーダ11のコストを減少させるため、1つのRAM内に領域を分けて設けられている。ところで、前方参照領域22aおよび後方参照領域22bに格納されるIピクチャまたはPピクチャは、順方向予測または逆方向予測を行うための基データとして使われるため、必要がなくなるまで、各領域22a、22bに格納し続けなければならない。Bピクチャについては基データとして扱われないため、ディスプレイ8へ出力されたら不用になる。尚、各領域22a～22cはブレーンと呼ばれる。

【0084】尚、MPEGビデオデコーダとMPEGオーディオデコーダとを1つのLSIに搭載した場合には、MPEGオーディオデコーダ用のピットバッファ（オーディオピットバッファ）についても、MPEGビデオデコーダ用のフレームバッファ22およびピットバッファ（ビデオピットバッファ）2と1つのRAM内に領域を分けて設けている。例えば、伝達メディアとしてビデオCDを用いた場合には、4MDRAMを用い、ビデオピットバッファ2の容量を54kバイト、フレームバッファ22の各領域22a～22cの容量をそれぞれ148.5kバイト、オーディオピットバッファの容量を6.5kバイト、ユーザ用領域の容量を8kバイトに設定している。ちなみに、ユーザ用領域は、ビデオCD v2.0規格のセクタバッファなどに用いられる。

【0085】アンダーフロー制御回路12は、ピットバッファ2の占有量Bmと第3の閾値BTH3とを比較すると共に、ピットバッファ2がアンダーフローしているか

どうかを検出する。ここで、第3の閾値BTH3はピットレートRBにVD（Vbv[Video Buffering Verifier] Delay）を乗じた値に設定されている（ $BTH3 = RB \times VD$ ）。尚、VDはピクチャヘッダによって規定されている。そして、アンダーフロー制御回路12は、ピットバッファ2から読み出されたピクチャのタイプと、前記比較結果および検出結果とに基づいて、デコードコア回路4のデコード動作とピットバッファ2からのピクチャの読み出し動作とを制御する。

【0086】次に、本実施形態の動作を図4に示すフローチャートに従って説明する。まず、S11において、アンダーフロー制御回路12により、占有量Bmが第3の閾値BTH3を下回っていると判定された場合（ $Bm < BTH3$ ）にはS12へ移行し、下回っていないと判定された場合（ $Bm \geq BTH3$ ）にはS13へ移行する。ここで、占有量Bmが第3の閾値BTH3を下回っている場合、ピットバッファ2から次のピクチャが読み出されるとアンダーフローが発生する恐れが高いことになる。

【0087】S12において、エラー処理が行われる。すなわち、アンダーフロー制御回路12は、ピットバッファ2からのピクチャの読み出しを停止させる。それと同時に、アンダーフロー制御回路12は、そのときに処理しているピクチャではなく、それ以前にピットバッファ2から読み出されたピクチャのデコード結果であるビデオ出力をデコードコア回路4から引き続き出力（リピート）させる。そして、S11へ戻る。

【0088】S13において、ピットバッファ2から次のピクチャが読み出される。そして、デコードコア回路4は、そのピクチャをデコードしてビデオ出力を生成する。そして、S14へ移行する。

【0089】S14において、アンダーフロー制御回路12により、ピットバッファ2がアンダーフローしていないと判定された場合にはS11へ戻り、アンダーフローを起こしていると判定された場合にはS15へ移行する。すなわち、デコードコア回路4において、1つのピクチャのデコード処理が正常に終了した場合にはS11へ戻り、1つのピクチャのデコード処理の途中でピットバッファ2がアンダーフローを起こした場合にはS15へ移行する。

【0090】S15において、S12と同様のエラー処理が行われる。そして、S16へ移行する。S16において、ピクチャヘッダ検出回路3により、ピットバッファ2から読み出されたピクチャのタイプを判定し、そのピクチャがBピクチャの場合はS17へ移行し、IピクチャまたはPピクチャの場合はS18へ移行する。

【0091】S17において、デコードコア回路4において途中までデコード処理が行われたBピクチャはスキップされる。そして、S11へ戻る。S18において、アンダーフロー制御回路12により、ピットバッファ2のアンダーフローが解除されたと判定された場合にはS

21

13へ戻る。すなわち、伝達メディアから新たなビデオストリームが転送されてきてピットバッファ2のアンダーフローが解除されるまで待った後でS13へ戻る。

【0092】このように、本実施形態によれば、以下の作用および効果を得ることができる。

①ピットバッファ2の占有量B_mが第3の閾値BTH3を下回った場合（すなわち、アンダーフローが発生する恐れが高い場合）に、エラー処理が行われる。その結果、ピットバッファ2の占有量B_mが増大してアンダーフローが起り難くなる。

【0093】②ピットバッファ2がアンダーフローを起こした場合にもエラー処理が行われる。その結果、ピットバッファ2がアンダーフローを起こした場合でも、デコードコア回路4からディスプレイへビデオ出力が中断することなく継続して出力され、ディスプレイにおける画面表示も継続して行われる。

【0094】③ピットバッファ2がアンダーフローを起こした場合、デコードコア回路4においてBピクチャをデコード処理している途中であれば、そのBピクチャはスキップされる。ここで、前記したように、Bピクチャは双方向予測によって生成され、その重要度はIピクチャやPピクチャに比べて低い。従って、ピットバッファ2から読み出されたBピクチャをスキップしても、次にピットバッファ2から読み出されるピクチャについては、そのタイプに関係なく、デコードコア回路4においてデコード処理を行うことができる。

【0095】④ピットバッファ2がアンダーフローを起こした場合、デコードコア回路4においてIピクチャまたはPピクチャをデコード処理している途中であれば、ピットバッファ2のアンダーフローが解除されるまで待った後で、残りのデコード処理が続行される。そのため、重要度の高いIピクチャおよびPピクチャを有効に生かすことができる。

【0096】⑤上記①～④より、ディスプレイにおいて再生される動画に生じるコマ落ちが従来例に比べて少なくなり、動画の動きは滑らかなものになって見易さ向上させることができる。

【0097】⑥本実施形態は、フレームバッファ22に3つの領域22a～22cしか設けられていない場合に適用することで上記効果を得ることができる。従って、フレームバッファ22が3つの領域22a～22cに加えて、ディスプレイへの出力専用の領域を備えている場合には、本実施例を適用する必要はない。

【0098】前記したように、フレームバッファ22とピットバッファ2とを1つの4MDRAM内に設けた場合、フレームバッファ22としては3つの領域22a～22c分の容量しか確保することができない。

【0099】そのため、デコードコア回路4でBピクチャ（以下、第2のBピクチャという）をデコードし、そのデコード結果をBピクチャ格納領域22cへ転送して

50

22

いるときには、ディスプレイへはBピクチャ格納領域22cに既に格納されているBピクチャ（以下、第1のBピクチャという）が出力される。その結果、デコードコア回路4で第2のBピクチャをデコードしているときは、Bピクチャ格納領域22cに既に格納されている第1のBピクチャに対して、新たにデコードコア回路4でデコードされた第2のBピクチャが上書きされることになる。

【0100】つまり、ピットバッファ2がアンダーフローを起こしてデコードコア回路4におけるデコード動作が中断すると、Bピクチャ格納領域22cにデコード途中の第2のBピクチャと、上書きされていない残りの第1のBピクチャとが共存し合うことになる。その結果、ディスプレイの表示画面が、前の画面とデコード途中の画面に2分割されてしまう。しかし、上記のようにデコード途中のBピクチャをスキップすれば、このような画面の分割は回避される。

【0101】ところで、デコードコア回路4でIピクチャまたはPピクチャをデコードし、そのデコード結果を前方参照領域22aへ転送しているときには、ディスプレイへは後方参照領域22bまたはBピクチャ格納領域に既に格納されているピクチャが出力される。また、デコードコア回路4でIピクチャまたはPピクチャをデコードし、そのデコード結果を後方参照領域22bへ転送しているときには、ディスプレイへは前方参照領域22aまたはBピクチャ格納領域に既に格納されているピクチャが出力される。そのため、デコードコア回路4でIピクチャまたはPピクチャをデコードしているときは、Bピクチャの場合のような問題は起こらない。

【0102】従って、ピットバッファ2がアンダーフローを起こしても、伝達メディアから新たなビデオストリームが転送されてきてピットバッファ2のアンダーフローが解除されるまで待てば、IピクチャまたはPピクチャを有効に生かすことができる。つまり、ピットバッファ2がアンダーフローを起こした時点でのデコード途中のIピクチャまたはPピクチャは、アンダーフローが解除された後で、残りのデコード処理が引き続き行われる。その結果、前方参照領域22aまたは後方参照領域22bは、デコードが完全に終了したIピクチャまたはPピクチャを格納することができる。

【0103】尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) 第1実施形態と第2実施形態とを併用する。この場合、両実施形態の効果を兼ね備えることができる。

【0104】(2) 第1実施形態において、第2の閾値BTH2およびそれに関する動作を省く。この場合は、第1の閾値BTH1に関する作用および動作を得ることができる。

【0105】(3) 第1および第2実施形態をCPUを

23

用いたソフトウェア的な処理に置き代える。すなわち、各回路(3~6, 12)における信号処理をCPUを用いたソフトウェア的な信号処理に置き代える。

【0106】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項2~17のいずれか1項に記載のMPEGビデオデコーダにおいて、ピットバッファは FIFO構成のRAMから成るMPEGビデオデコーダ。

【0107】このようにすれば、MPEGビデオストリームの書き込み及び読み出しを簡単に行うことができる。

(ロ) 請求項4~6, 11, 12のいずれか1項に記載のMPEGビデオデコーダにおいて、ピットバッファを除く回路が1チップ上に形成されたMPEGビデオデコーダ。

【0108】このようにすれば、MPEGビデオデコーダを小型化することができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0109】(a) ピットバッファ制御手段はオーバーフロー判定回路5およびピクチャスキップ回路6から構成される。

(b) 外部とは伝達メディアを指し、伝達メディアには、LAN(Local Area Network)などの通信メディア、ビデオCDやDVD(Digital Video Disk)およびVTR(Video Tape Recoder)などの蓄積メディア、地上波放送や衛星放送およびCATV(Community Antenn

24

a Television)などの放送メディアが含まれる。

【0110】

【発明の効果】

1) 再生される動画に生じるコマ落ちを少なくして見易さを向上させることができ可能なデコーダまたはMPEGビデオデコーダを提供することができる。

【0111】2) ピットバッファのオーバーフローを防止することが可能なデコーダおよびMPEGビデオデコーダを提供することができる。

10 3) ピットバッファのアンダーフローを防止することができ可能なデコーダおよびMPEGビデオデコーダを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態のブロック回路図。

【図2】第1実施形態の動作を説明するためのフローチャート。

【図3】第2実施形態のブロック回路図。

【図4】第2実施形態の動作を説明するためのフローチャート。

20 【図5】従来例のブロック回路図。

【図6】従来例を説明するためのグラフ。

【符号の説明】

2…ピットバッファ

3…ピクチャヘッダ検出回路

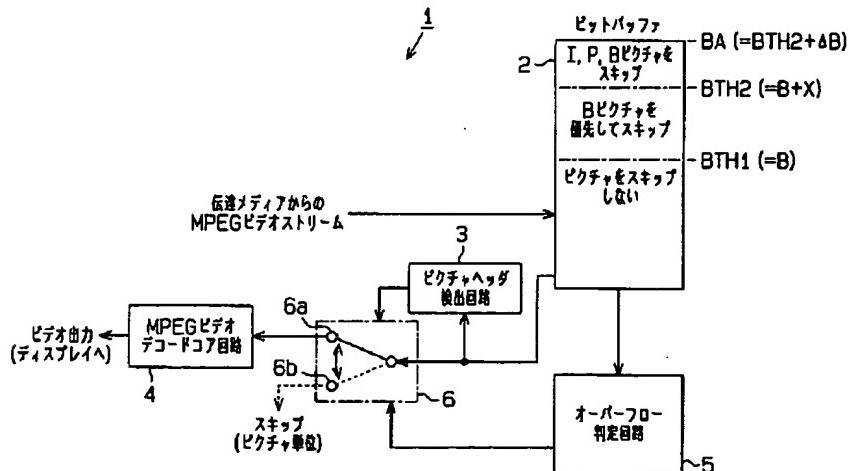
4…MPEGビデオデコードコア回路

5…オーバーフロー判定回路

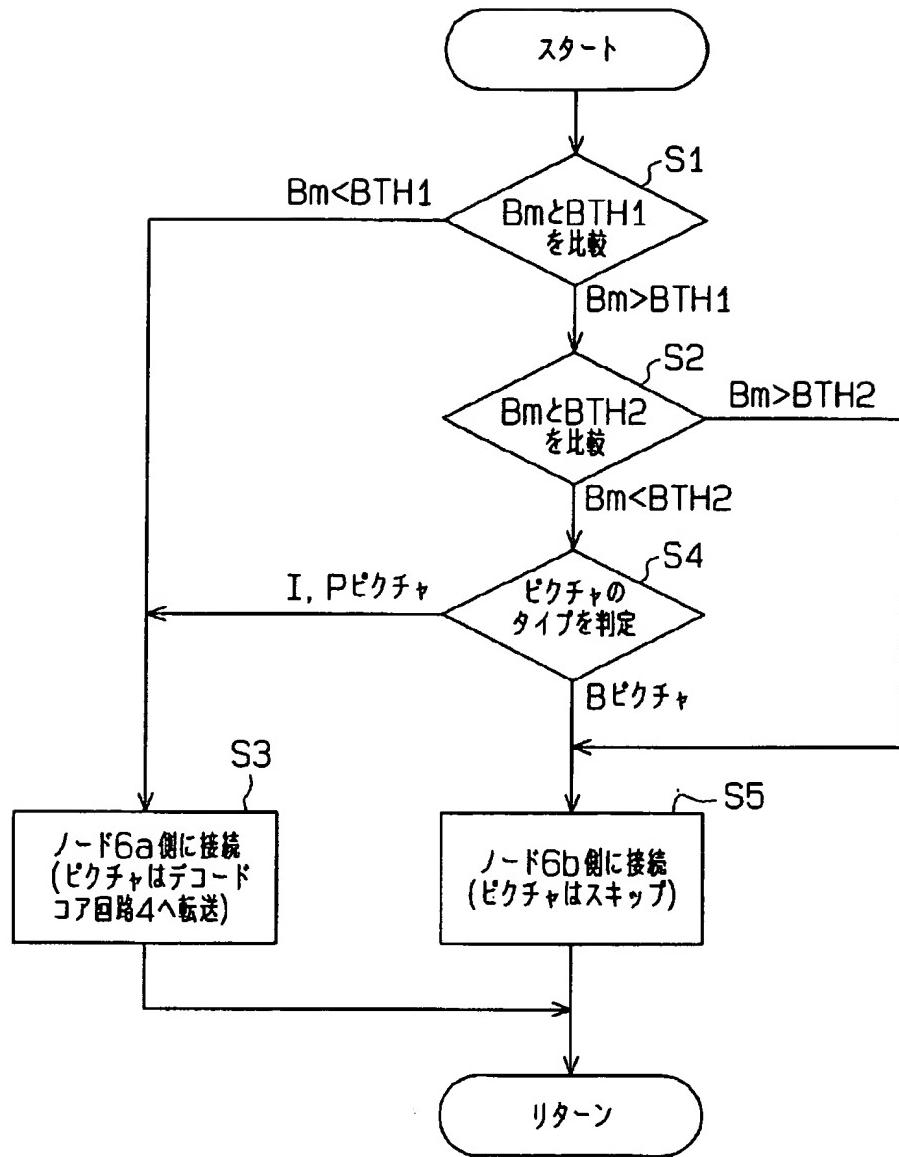
6…ピクチャスキップ回路

12…アンダーフロー制御回路

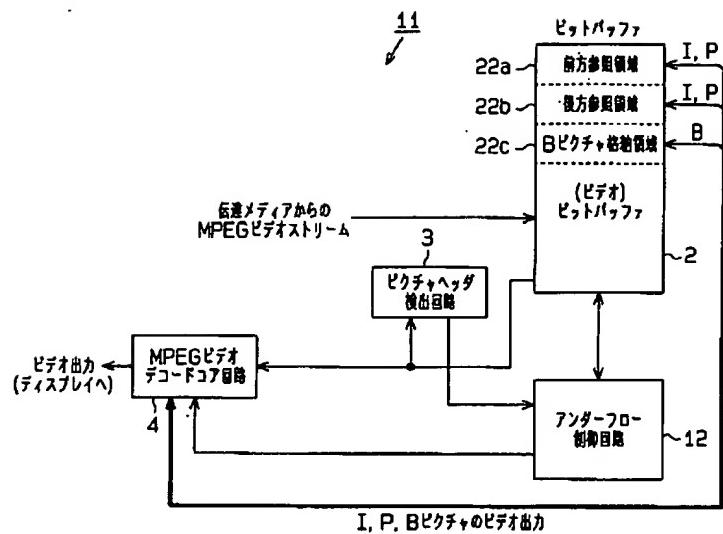
【図1】



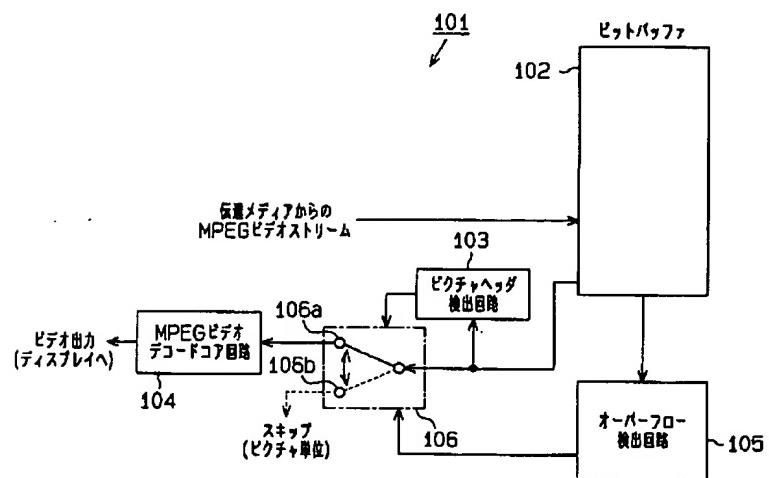
【図2】



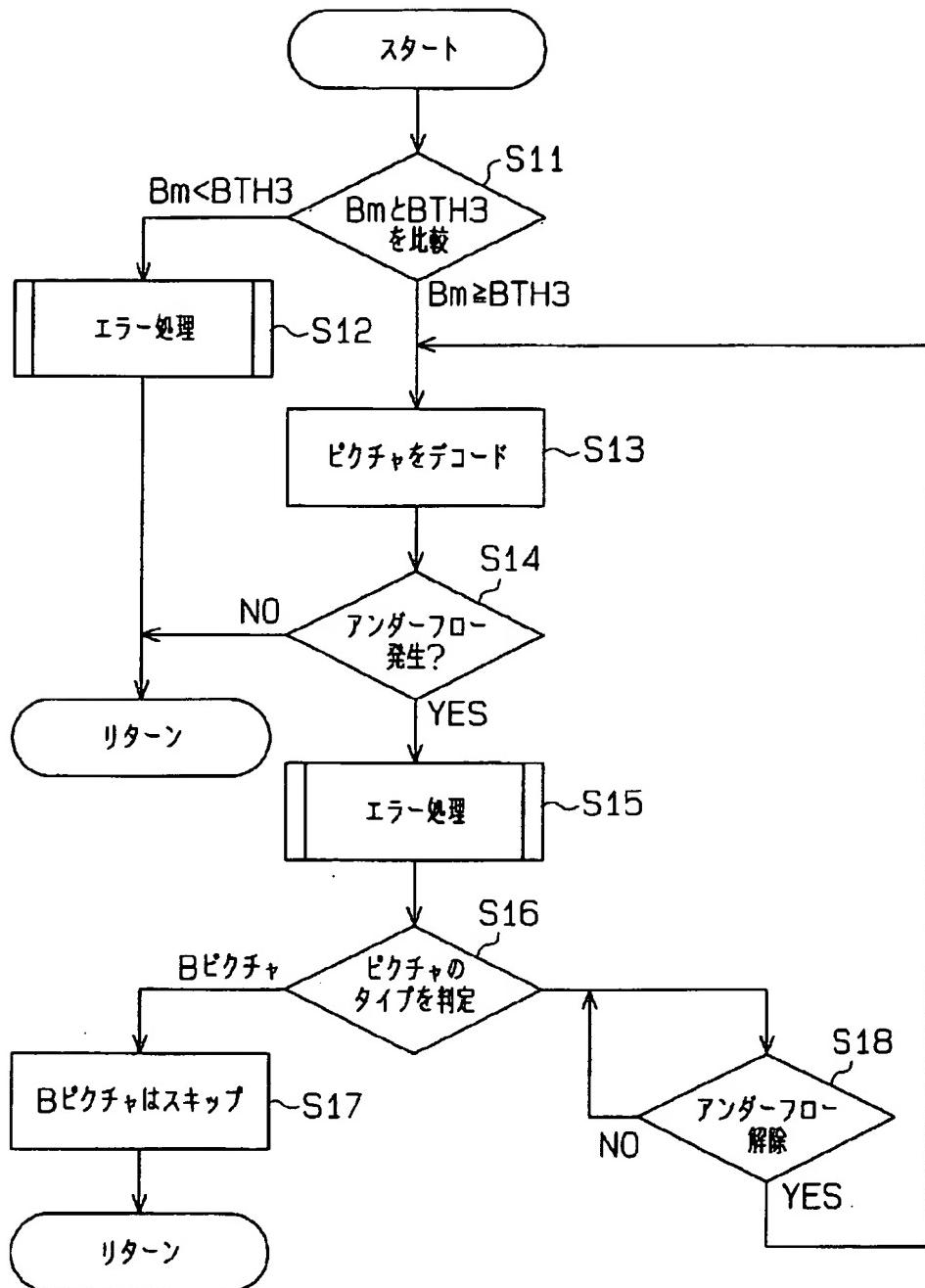
【図3】



【図5】



【図4】



【図6】

